

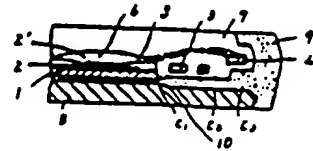
JP 303233555 A  
SEP 1988

(54) RESIN SEALED SEMICONDUCTOR DEVICE

(11) 63-233555 (A) (43) 29.9.1988 (19) JP  
(21) Appl. No. 62-65715 (22) 23.3.1987  
(71) TOSHIBA CORP (72) SHINJIRO KOJIMA  
(51) Int. Cl. H01L23/30, H01L23/34

**PURPOSE:** To prevent an air gap from occurring between a heat dissipation fin and a first seal part, in a double-molded type resin sealed semiconductor device, by gradually reducing the distance between the first resin seal part and the planar heat dissipation fin toward the bed part of a lead frame.

**CONSTITUTION:** A semiconductor element 2 is mounted on a bed part 1, which is the conductive metal plate of a lead frame. A pad 2' and an inner lead terminal 3 or 4 are connected with a thin metal wire 5. After the thin wire 5 is covered with an encapping agent 6, a first resin seal part 7 is formed. At this time, the seal is performed so that the rear surface of the bed part 1 is exposed. The bed part 1 and a planar heat dissipation fin 8 are arranged in a metal mold with a slight gap C<sub>1</sub> being provided. A second resin seal part 9 is formed. Here, gaps C<sub>2</sub> and C<sub>3</sub> are formed between the seal part 7 and the fin 8 so that the flow path of the second resin is gradually reduced toward the gap C<sub>1</sub>. Since the gap C<sub>1</sub> is excellently filled with the second resin, voids do not remain, and the heat dissipation characteristic becomes excellent.



BEST AVAILABLE COPY

① 日本国特許庁(JP)

① 特許出版公開

② 公開特許公報(A)

昭63-233555

④ Int. Cl.<sup>4</sup>

H 01 L 23/30  
23/34

識別記号

庁内整理番号

B-6835-5F  
B-6835-5F

③ 公開 昭和63年(1988)9月29日

審査請求 未請求 発明の数 1 (全4頁)

⑤ 発明の名称 樹脂封止型半導体装置

⑥ 特 願 昭62-65715

⑦ 出 願 昭62(1987)3月23日

⑧ 発 明 者 小 島 伸 次 郎 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑨ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑩ 代 理 人 弁 理 士 井 上 一 男

明 題 要

1. 発明の名称

樹脂封止型半導体装置

2. 特許請求の範囲

導電性金属板基板上にマウントする半導体素子と、この周面に配置する溝部をもつリード線子と、このリード線子と前記半導体素子とを接続する金属層部と、この金属層部及び前記半導体素子を埋設し前記導電性金属板の高部を露出させて対止成形する第1の樹脂封止部と、前記導電性金属板の高部と僅かな差を、維持して対向配置する板状の放熱フィンと、この僅かな差をうの突起板状の放熱フィンの高部を露出し前記第1の樹脂封止部を含めて対止成形する第2の樹脂封止部とをもつ樹脂封止型半導体装置において、

前記板状の放熱フィンと導電性金属板基盤間の差を最小とし、前記放熱フィンと第1の樹脂封止部間の差を、前記金属層部を接続する前記リード線子に対応する第1の樹脂封止部と前記板状の放熱フィンの差を取次増大することを特徴とす

る樹脂封止型半導体装置。

3. 発明の詳細な説明

(発明の目的)

(従来の技術)

本発明は樹脂封止型半導体装置の改良に係るもので、特にトランジスタアレイ、SCR アレイ等のパワーモジュールや、パワートランジスタならびにパワーSSD等の高電力半導体装置に適用する二重にモールドを用いた半導体装置に関するものである。

(従来の技術)

最近の半導体装置には単一の半導体素子で構成するものの外に、複数の半導体素子ならびに付属部品を一体としたモジュールタイプも多用されており、その放熱性を改善するのにはリードフレームにマウントした半導体素子と共に放熱フィンもトランスファ成形する方法が採用されている。

このようなモジュール製品では複数の半導体素子をマウントする寸法の大いリードフレームを用いるたの樹脂封止成形工程中に困難して、放熱

フィンとリードフレームのベッド部を距離が異常に狭くなったり広げられることがある。

このために、絶縁防止（トランスファーマールド）工程を複数回に分けて実施する方法が採用されており、リードフレームのベッドと放熱フィン間の距離を所定の値に維持できるので、放熱性の改善に役立つところが大きい。

第10図によりこの二重モールド方式を説明する。第10図は二重モールドを用いた製品の断断面、この構造を知るには第1の絶縁防止を施した成形品Aを、リードフレームのベッド部20表面と放熱フィン21を隔かな距離を保って金具内に配置後第1の絶縁防止部22と同様なエポキシ樹脂によって封止成形を行って第2の絶縁防止部23を設ける。

この二重モールド方式の結果、ベッド部20にダイボンディングした半導体素子24ならびにリードフレームのリード端子25を覆覆する金具層部26等が埋設すると共に、放熱フィン21の一部はこの封止樹脂と連続して表面を形成する。

（発明が解決しようとする課題）

にマウントした半導体素子と電気的接続を図るべく設置した金具層部にはリード端子を通過しこれに対応する第1の絶縁防止部と板状放熱フィン間の距離をとるが、この距離を大きくする手法を採用する。

（作用）

このように本発明では極めて狭い領域に充填する樹脂層部を形成し、その厚さを小さくすることで、入り易く従ってエアボイドの発生を防止して、絶縁防止部半導体素子に必要の絶縁性ならびに放熱性を確保したものである。

（実施例）

第1図乃至第9図に本発明の実施例を説明するが、従来の説明図と重複する図が図面上一部にあるが、新番号を付して説明する。

この実施例は半導体素子6で構成する回路（第5図）をもつ絶縁防止部半導体装置であり、この半導体素子をマウントするリードフレームも当然適切な構造が必要となるが、その上図を第2図に示す。

半導体素子2…はベッド部即ち導電性金具板1

このような二重モールド方式を用いた絶縁防止部半導体装置は前述のように放熱フィンと、半導体素子をダイボンディングしたリードフレームのベッド部を隔かな距離とし、更にこの空間に封止樹脂層を充填するので放熱性に優れた特徴を持っている。これに反して、前記空間に封止樹脂が入りにくいのでエアボイドが発生しやすい。また、この封止樹脂の境界に機械的強度を考えると、急激なエアギャップが入り易い点があり、これが基で放熱特性が劣化する。

本発明は上記欠点を補正する新規な絶縁防止部半導体装置を提供することを目的とする。

（発明の構成）

（問題点を解決するための手段）

二重モールド方式を用いた絶縁防止部半導体装置における板状の放熱フィンと、リードフレームのベッド部即ち導電性金具板とを充填する第2の絶縁防止部のエアギャップ等を解消するために、この隙の狭い領域につながる板状の放熱フィンと第1の絶縁防止部間の距離と前記導電性金具板

…にマウントされているが、そのパターンは複雑でありかつ密度が高いことがよく判る。一方このリードフレームは第1図等に示すように導電性金具板1…と内部リード端子部3ならびに後述するように金具層部をボンディングする外部リード端子部4の3部分の高さを互に異ならせるように折曲げてこの導電性金具板1…を絶縁の位置にする。

半導体素子2…に設けるパッド2'と外部リード端子4間には通常のボンディング性によって金具層部5を形成して電気的接続を図り、これをエポキシ樹脂6によって絶縁後公知のエポキシ樹脂によるトランスファーマールド工程を施して第1の絶縁防止部7を設ける。この結果半導体素子2、内部外部リード端子3、4は、金具層部5とエポキシ樹脂6は埋設されるものの、導電性金具板1…の高さはこの第1の絶縁防止部7表面に等高する。

更に前記した導電性金具板1に対して僅かの距離を留めて板状の放熱フィン8を絶縁モールド用金具内に設けて第2の絶縁防止部9を形成する。

この場合、板状の加熱フィン9と導電性金属板1間の距離C、＜内部リード3に対応する第1の絶縁防止部7と板状の加熱フィン9間の距離C、＜外部リード4に対応する第1の絶縁防止部7と板状の加熱フィン9間の距離C、として導電層が流れ易いように配成している。C、に示す距離を維持するには第1図に示すように板状の加熱フィン9の所定位置即ち内部リード端子3に対向する位置にプレス加工で凹部10を設けるか、第9図に示すように第1の絶縁防止部8の厚さを小さくしても良い。此のトランスファモールド工程におけるゲート位置はC、方向に設けて前述のように溶融樹脂の流れを改善して最も狭いC、の通過を良好にする。

更にこの溶融樹脂の流れに配慮した例が第3～4図、第6～9図であり、結果的には第2の絶縁防止部9が第1の絶縁防止部7を囲み付けて板状の加熱フィン9と導電性金属板1間のエアギャップを防止している。

この第4図は第2の絶縁防止部9形成を具え

る工程を具えた絶縁防止型半導体装置の上図であり第1及び第2の絶縁防止部7、9が形成して装置を形成しているが、この第1の絶縁防止部7の外壁に7a～7dの段部を形成している。第3図イは、第1の絶縁防止部7を形成してから不要部分を除去した成形品の平面図であり、これをA-A線に沿って切断した図が第3図ロである。

この段部は、第2の絶縁防止部9との密着を良くするために半導体素子の外壁面と導電性金属板1…の中間位置に形成し、この成形品に当たっては段部に相当する上型キャビティの成形型を使用し、かつこの導電性金属板1の基部が第1の絶縁防止部7の表面を下型キャビティの表面に密着配置してトランスファモールド工程を実施して得られる。

第6図～第8図は第4図に示したB-B、C-C、D-Dの各線に沿って切断した断面の断面図であり、第1の絶縁防止部7の段部7a～7dにエポキシ樹脂で形成する第2の絶縁防止部9a～9dが充填され、第7図に示す段部テーパ7eは第2の絶縁

防止部9に対してUnder Cutの逆テーパであって好ましくは5°より好ましくは10°以上に設置する。

この段部は半導体素子2の外壁をほぼ囲んで設けられているので、図2 C、の距離を持つ導電性金属板1と板状の加熱フィン8間に充填する第2の絶縁防止部9の密着性が改善されて、第1の絶縁防止部を囲み付ける効果を発現する。

第4図に示すように第1の絶縁防止部7が露出する面積は第1の絶縁防止部7の段部面積の約50%が好ましく、密着力を高めるために少なくするとC、距離を所望の寸法に収めることができず、ボイドが抜けずに絶縁不良となる。これは第2の絶縁防止部9成形時にC、距離をもった隙間が後から充填されてここでの樹脂圧が小さくなってかつボイドを逃込み易いのである。

(発明の効果)

この二重モールド方式を採用した絶縁防止型半導体装置では板状加熱フィンと第1の絶縁防止部間に第2の絶縁防止用樹脂が充填されることで、エ

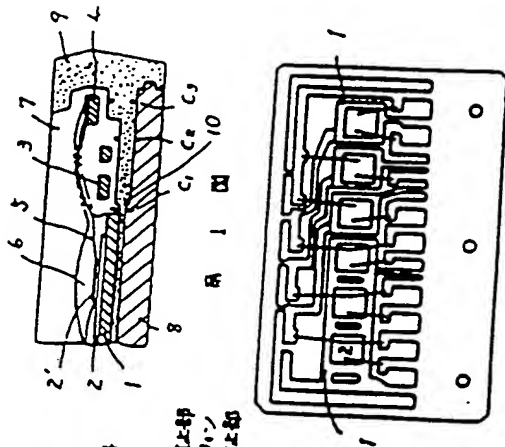
アーボイドが発生し難い。従って半導体装置の信頼性が安定して高耐圧素子が得られる効果があり、しかもリード端子の自由度も従来より増す。

又厚さ2mmの板状加熱フィンを使用して外形寸法が77(幅)×27(高)×7(厚)mmである第4図の新設防止型半導体装置を試料としてC、を0.34mmとすると、ピーク値として $\Delta C: 7.5V$ を1分でクリアで、0.3mmでは $\Delta C: 4.8V$ を1分をクリアした。

#### 4. 図面の簡単な説明

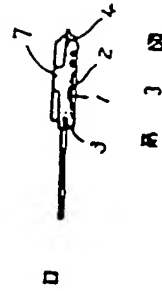
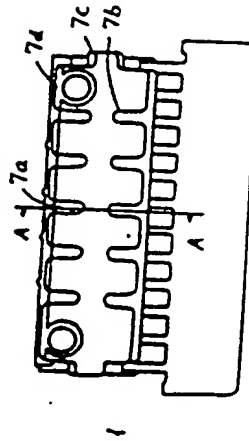
第1図は本発明に係る半導体装置の断面を示す断面図、第2図はリードフレームの断面図、第3図イは第1の絶縁防止部の状態を示す上図、第3図ロは第3図イをA-A線に沿って切断した断面図、第4図は本発明に係る半導体装置の上図、第5図はこの半導体装置の図解図、第6図～第8図は第4図のB-B、C-C、D-D線に沿って切断した断面図、第9図は本発明に係る半導体の断面を示す断面図、第10図は従来の装置の断面図である。

代理人 丹澤士 井上 一 男

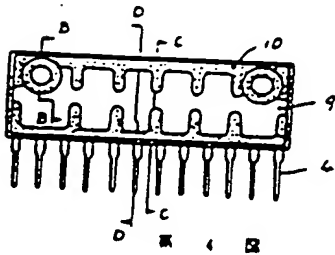


- 1: 銅製板  
2: 銅製板  
3: 銅製板  
4: 銅製板  
5: 銅製板  
6: 銅製板  
7: 銅製板  
8: 銅製板  
9: 銅製板  
10: 銅製板

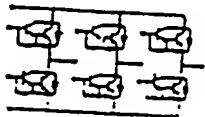
第 2 圖



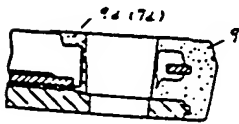
第 3 圖



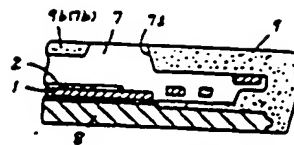
第 4 圖



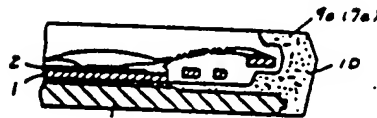
第 5 圖



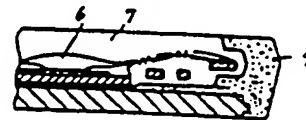
第 6 圖 (D-D)



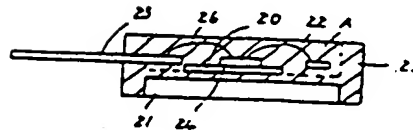
第 7 圖 (C-C)



第 8 圖 (D-D)



第 9 圖



第 10 圖